

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-241191

(43)Date of publication of application : 28.08.2002

(51)Int.Cl.

C30B 25/18  
C30B 29/38  
H01L 21/205

(21)Application number : 2001-036568

(71)Applicant : TOYODA GOSEI CO LTD  
TOYOTA CENTRAL RES & DEV LAB  
INC

(22)Date of filing : 14.02.2001

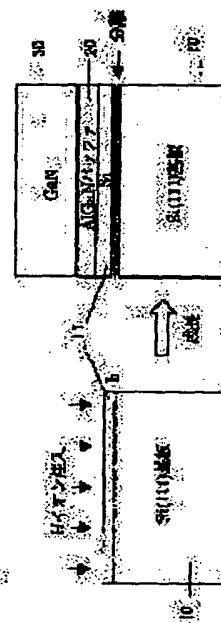
(72)Inventor : NAGAI SEIJI  
TOMITA KAZUYOSHI  
IROKAWA YOSHIHIRO  
KACHI TORU

## (54) METHOD FOR GROWING SEMICONDUCTOR CRYSTAL

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a high quality semiconductor crystal which is free from cracks and has a low dislocation density.

**SOLUTION:** Hydrogen ions (H<sup>+</sup>) are implanted into an Si(111) substrate (ground substrate) 10 in a dose amount of  $1 \times 10^{16}/\text{cm}^2$  at nearly ordinary temperature with an energy of 10 keV acceleration voltage. Thereby, an ion injected layer having locally high ionic concentration is formed over an area to a depth (h) of about 100 nm from the ion injected surface. Further, a buffer layer 20 of AlGaN having a thickness of about 300 nm is grown on the ion implanted surface of the Si substrate 10, and a GaN layer 30 being an objective semiconductor crystal and having a thickness of about 200  $\mu\text{m}$  is grown on the buffer layer 20. During this crystal growth process, the Si substrate 10 gradually fractures with the ion implanted layer as the boundary, and, finally, the Si substrate 10 separates into a thin film part 11 having a thickness of about 100 nm and a main part of the substrate 10. It is possible to obtain the GaN single crystal having excellent crystallinity and free from cracks by the aforementioned method for producing the semiconductor crystal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

[Claim(s)]

[Claim 1] The crystal-growth method of the semiconductor which is the crystal-growth method of a semiconductor to which the crystal growth of the semiconductor matter with which the aforementioned ground substrate is different from each other is carried out at a ground substrate top, and is characterized by pouring in ion from the crystal-growth side of the aforementioned ground substrate before starting the aforementioned crystal growth.

[Claim 2] The crystal-growth method of the semiconductor according to claim 1 characterized by making a part or all of the aforementioned ground substrate fracture the aforementioned ground substrate a temperature up or by lowering the temperature after the aforementioned crystal growth.

[Claim 3] The crystal-growth method of the semiconductor according to claim 1 or 2 characterized by pouring the aforementioned ion into a depth of less than 20 micrometers from the aforementioned crystal-growth side.

[Claim 4] The crystal-growth method of a semiconductor given in any 1 term of the claim 1 to which the aforementioned ion is characterized by being a hydrogen ion (H<sup>+</sup>) or helium ion (helium<sup>+</sup>), or a claim 3.

[Claim 5] The crystal-growth method of a semiconductor given in any 1 term of the claim 1 characterized by making injection rate per [ to the aforementioned crystal-growth side of the aforementioned ion ] unit area below into  $1 \times 10^{20}$  [/cm<sup>2</sup>] more than  $1 \times 10^{15}$  [/cm<sup>2</sup>], or a claim 4.

[Claim 6] The crystal-growth method of a semiconductor given in any 1 term of the claim 1 characterized by using the aforementioned ground substrate as silicon (Si), sapphire (aluminum 2O<sub>3</sub>), carbonization silicon (SiC), a gallium arsenide (GaAs), a zinc oxide (ZnO), oxidization gallium neodymium (NdGaO<sub>3</sub>), an oxidization gallium lithium (LiGaO<sub>2</sub>), or aluminum-oxide magnesium (MgAl 2O<sub>4</sub>), or a claim 5.

[Claim 7] The aforementioned semiconductor matter The crystal-growth method of a semiconductor given in any 1 term of the claim 1 characterized by considering as an III group nitride system compound semiconductor, or a claim 6.

[Claim 8] The crystal-growth method of a semiconductor given in any 1 term of the claim 1 characterized by heat-treating the aforementioned crystal-growth side of the aforementioned ground substrate before the start of the aforementioned crystal growth after pouring of the aforementioned ion, or a claim 7.

[Claim 9] The semiconductor light emitting device characterized by having at least the aforementioned semiconducting crystal manufactured by any 1 term of a claim 1 or a claim 8 using the manufacture method of a publication as a crystal-growth substrate.

[Claim 10] The semiconductor light emitting device characterized by what was manufactured by the crystal growth which used at least the aforementioned semiconducting crystal manufactured by any 1 term of a claim 1 or a claim 8 using the manufacture method of a publication as a crystal-growth substrate.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the "crystal-growth method of a semiconductor" of carrying out the crystal growth of the semiconductor matter which is different from each other to the ground substrate on a ground substrate, and obtaining a semiconducting crystal.

[0002]

[Description of the Prior Art] If the crystal growth of the gallium nitride (GaN) is carried out on a silicon substrate and it cools to ordinary temperature after that so that it may illustrate to drawing 4, generally it is known that many transposition and cracks will go into a GaN growth phase. Thus, when many transposition and cracks went into the growth phase and a device is produced on it, it becomes the cause which brings a result which many a lattice defect, transposition, deformation, cracks, etc. produce, and causes degradation of a device property into a device. Moreover, a silicon (Si) substrate is removed, and when it is going to leave only a growth phase and is going to obtain the independent substrate, the thing of a large area (more than 1cm<sup>2</sup>) cannot be easily obtained by operation of the above-mentioned transposition, a crack, etc.

[0003] Then, as a means to obtain a good semiconducting crystal, for example by such the so-called hetero-epitaxial growth, the following measures have been taken from before.

(Conventional means 1) A low-temperature deposition buffer coat is formed on a substrate. For example, AlGaIn, AlN and GaN, or AlGaInN etc. It is the method of forming the so-called buffer layer which is made to deposit an III group nitride semiconductor at low temperature, and eases the internal stress based on a lattice constant difference.

[0004] (Conventional means 2) A lattice constant chooses a near material as the target semiconducting crystal as a material of a crystal-growth substrate. For example, in making the gallium nitride (GaN) of a single crystal into the target semiconducting crystal, it chooses carbonization silicon (SiC) as a material of a crystal-growth substrate.

[0005]

### [Problem(s) to be Solved by the Invention]

[0006] However, even if it uses a buffer layer, the stress produced between the target semiconducting crystal and a substrate cannot fully be eased. That is, though the above buffer layers use a GaN low-temperature deposition buffer coat in case they can ease a part of stress, for example, carry out the crystal growth of the gallium nitride (GaN) on a sapphire substrate, most number of defects generate them in the target semiconducting crystal (gallium-nitride layer).

[0007] Moreover, when using the substrate which has a lattice constant near the target semiconducting crystal, even if it can ease the stress resulting from a lattice constant difference, it will be difficult to ease the stress based on a coefficient-of-thermal-expansion difference, and most number of defects will occur in the target semiconducting crystal (gallium-nitride layer) at the time of the temperature fall after a crystal growth etc. Moreover, a crack is also generated and the semiconducting crystal of the independent large area is hard to be obtained.

[0008] It is that accomplish this invention in order to solve the above-mentioned technical problem, and the purpose does not have a crack, and the density of transposition obtains the semiconducting crystal of low high quality.

[0009]

[Means for Solving the Problem] The following meanses are effective in order to solve the above-mentioned technical problem. That is, the 1st means is that the ground substrate pours in ion from the

crystal-growth side of a ground substrate on a ground substrate before starting a crystal growth in the crystal-growth procedure of the semiconductor to which the crystal growth of the semiconductor matter which is different from each other is carried out.

[0010] Moreover, the 2nd means is making a part or all of a ground substrate fracture a ground substrate a temperature up or by lowering the temperature after the above-mentioned crystal growth the 1st above-mentioned means.

[0011] Moreover, the 3rd means is pouring ion into a depth of less than 20 micrometers from a crystal-growth side in the above 1st or the 2nd means.

[0012] Moreover, the 4th means is using a hydrogen ion (H+) or helium ion (helium+) in any the above 1st or 3rd one means as ion to pour in.

[0013] Moreover, the 5th means is setting injection rate per [ to the crystal-growth side of ion ] unit area to " $1 \times 10^{15}$  [/cm<sup>2</sup>] -  $1 \times 10^{20}$  [ / cm<sup>2</sup>]" in any the above 1st or 4th one means.

[0014] Moreover, the 6th means is set for any the above 1st or 5th one means. As a material of the above-mentioned ground substrate, silicon (Si), sapphire (aluminum 2O<sub>3</sub>), It is choosing carbonization silicon (SiC), a gallium arsenide (GaAs), a zinc oxide (ZnO), oxidization gallium neodymium (NdGaO<sub>3</sub>), an oxidization gallium lithium (LiGaO<sub>2</sub>), or aluminum-oxide magnesium (MgAl 2O<sub>4</sub>).

[0015] Moreover, it sets for any the above 1st or 6th one means, and the 7th means is the above-mentioned semiconductor matter. It is considering as an III group nitride system compound semiconductor.

[0016] however, to general "III group nitride system compound semiconductor" said here The semiconductor of the arbitrary mixed-crystal ratios expressed with 2 yuan, 3 yuan, or 4 yuan the general formula which " $Al_x Ga_y In_{(1-x-y)} N$  ( $0 < x < 1$ ,  $0 < y < 1$ ,  $0 < x+y < 1$ )  $N$ " Changes is contained. Furthermore, also let the semiconductor with which the minute amount of the grade which hardly influences these composition ratios x, y, etc., little p type, or the n type impurity was added be the criteria of the "III group nitride system compound semiconductor" of this specification. therefore, for example, a 2 yuan system — or the case of the "III group nitride system compound semiconductor" of 3 yuan system — AlN, GaN, and InN — or AlGaIn of an arbitrary or suitable mixed-crystal ratio, AlInN, GaInN, etc. cannot be overemphasized. The semiconductor with which the minute amount of the grade which hardly influences the composition ratio of these various semiconductors, little p type, or the n type impurity was added is also contained in the "III group nitride system compound semiconductor" of this specification.

[0017] Furthermore, the above Let the semiconductor which replaced the part of the III group elements (aluminum, Ga, In) with boron (B), the thallium (Tl), etc., or replaced some nitrogen (N) by Lynn (P), arsenic (As), antimony (Sb), the bismuth (Bi), etc. be the criteria of the "III group nitride system compound semiconductor" of this specification. moreover — as the impurity of the above-mentioned p type — magnesium (Mg) — or calcium (calcium) etc. can be added Moreover, as an impurity of the above-mentioned n type, silicon (Si), sulfur (S), a selenium (Se), a tellurium (Te) or germanium (germanium), etc. can be added, for example. Moreover, these impurities may add two or more elements simultaneously, and may add both molds (p type and n type) simultaneously.

[0018] Moreover, the means of the octavus is heat-treating a ground substrate before the start of a crystal growth after pouring of ion in any the above 1st or 7th one means.

[0019] Moreover, the 9th means is having at least the semiconducting crystal manufactured by any one means of the above-mentioned 1st or the above-mentioned octavus as a crystal-growth substrate in a semiconductor light emitting device.

[0020] Moreover, the 10th means is manufacturing the target semiconductor light emitting device by the crystal growth which used at least the semiconducting crystal manufactured by any one means of the above-mentioned 1st or the above-mentioned octavus as a crystal-growth substrate. The aforementioned technical problem is solvable with the above means.

[0021]

[Function and Effect(s) of the Invention] the depth from the front face (ion-implantation side) of a ground substrate where ion will be poured in if it crosses all over the front face (ion-implantation side) of a ground substrate where ion is poured in, acceleration voltage of ion is made into the same level and the acceleration voltage is maintained fixed time — abbreviation — it is maintained uniformly namely, the acceleration voltage of the above [ the depth (depth / of the maximum density / h) to which ion density becomes the highest according to such an ion implantation ] — abbreviation proportionality — carrying out — the whole surface of this ion-implantation side — crossing — abbreviation — it becomes uniform Hereafter, the layer to which the ion density near the "depth [ of the maximum

density ] h" is high locally is called "ion-implantation layer." Moreover, a mainly physical change of state [ evaporate / the ion poured in into the ground substrate expands, or / for example, in temperature up process, / it ] is caused. And rather than changes of state, such as thermal expansion of a ground substrate, these changes of state are boiled markedly and discovered as a big change of state.

[0022] For this reason, when the above-mentioned ground substrate which carried out the ion implantation is used as a crystal-growth substrate, in crystal-growth temperature, rising-and-falling-temperature process, etc., partial fracture of a ground substrate breaks out bordering on the above-mentioned ion-implantation layer. Finally these ground substrates are divided into the thin film section by the side of an ion-implantation side, and the original principal part. Therefore, since the substrate (thin film section) is separated partially very thinly, the stress based on a lattice constant difference hardly acts on the semiconducting crystal of the purpose which grew on this thin film section. For this reason, the target semiconducting crystal becomes the good thing which was excellent in crystallinity conventionally.

[0023] furthermore, the stress based on the coefficient-of-thermal-expansion difference of the semiconducting crystal of the purpose which grew on this thin film section also in the temperature fall process after a crystal growth since the substrate (thin film section) was separated partially very thinly, and a ground substrate — temperature fall process — it separates into the thin film section by the side of an ion-implantation side, and the original principal part bordering on an ion-implantation layer in early stages comparatively. For this reason, the stress based on a coefficient-of-thermal-expansion difference hardly acts on the semiconducting crystal of the purpose which grew on the thin film section and this thin film section after it. By these operations, if the means of this invention is used, there is no crack and the density of transposition can obtain the semiconducting crystal of low high quality.

[0024] In addition, the depth (depth [ of the maximum density ] h) of the ion to pour in has the thinner desirable one, and its less than 20 micrometers are more desirable than the thickness of the target semiconducting crystal as a general absolute standard. If this thickness is too thick, the above-mentioned stress will not fully be eased.

[0025] Moreover, as a material of the above-mentioned ground substrate, the material of a well-known crystal-growth substrate is effective. For example, silicon (Si), sapphire (aluminum 2O3), carbonization silicon (SiC), A gallium arsenide (GaAs), a zinc oxide (ZnO), oxidization gallium neodymium (NdGaO3), an oxidization gallium lithium (LiGaO2) Or the above-mentioned operation and effect can be acquired about the crystal growth using aluminum-oxide magnesium (MgAl 2O4) etc. as a crystal-growth substrate (the above-mentioned ground substrate).

[0026]

[Embodiments of the Invention] Hereafter, this invention is explained based on a concrete example. However, this invention is not limited to the example shown below.

(1) To the production Si (111) substrate (ground substrate) of an ion-implantation substrate (ground substrate), it is  $1 \times 10^{16}$  /cm<sup>2</sup> about a hydrogen ion (H<sup>+</sup>) at abbreviation ordinary temperature. By the dose, it pours in with the energy of acceleration voltage 10keV ( drawing 1 (a)).

[0027] Drawing 2 is the graph which illustrated the number of pouring ion to the depth into which the ion at this time is poured (density). A high ion-implantation layer is locally formed [ the depth from a front face (ion-implantation side) ] in the place around 100nm for ion density by this ion implantation so that this drawing 2 may also show.

[0028] (2) Carry out the following crystal growths in an organometallic compound vapor growth (the MOVPE method) after that [ GaN/Si crystal-growth ]. That is, about 300nm first grows the buffer layer 20 which consists of AlGaIn at about 1100 degrees C on the ion-implantation side of the above-mentioned Si substrate (ground substrate) 10, and about 200 micrometers grows further the gallium-nitride (GaN) layer 30 which is the target semiconducting crystal at 1050 degrees C on it ( drawing 1 (b)). In the temperature up process in front of this crystal growth, the above-mentioned Si substrate 10 is partially fractured bordering on the above-mentioned ion-implantation layer located before and after h= 100nm, and, finally is separated into the thin film section 11 of about 100nm of thickness, and the principal part of the Si substrate 10 from the front face (ion-implantation side) in the temperature fall process after growth.

[0029] By the manufacture method of the above semiconducting crystal, the single crystal of the gallium nitride (GaN) without a crack which was excellent in crystallinity conventionally can be obtained. Therefore, if such a good single crystal is used as a part of semiconductor light emitting devices, such as for example, a crystal-growth substrate, it will become luminous efficiency is high or possible [ manufacturing semiconductor products with which driver voltage was suppressed conventionally, such

as a quality semiconductor light emitting device and a semiconductor photo detector, ], or easy. Moreover, if such a good single crystal is used, not only a light-corpuscule child but manufacture of the so-called semiconductor electronic devices, such as a semiconductor RF element which operates to a pressure-resistant high semiconductor power element and pressure-resistant high frequency, can be made possible or easy.

[0030] Hereafter, it is independently attached and illustrated as the above-mentioned example in the range in which deformation of the operation gestalt of this invention is possible. However, this deformation is applicable also to the above-mentioned example, respectively.

[0031] For example, in the above-mentioned example, although the organometallic compound vapor growth (the MOVPE method) was used, the crystal growth of this invention can be carried out by the hydride vapor growth (the HVPE method) etc. Moreover, even if it uses (helium+) instead of a hydrogen ion (H+), the above-mentioned example, and the same same operation and effect as abbreviation can be acquired.

[0032] Moreover, although the dose of a hydrogen ion is dependent on the quality of the material of a ground substrate etc., it is effective in the range of  $1 \times 10^{15}$  [/cm<sup>2</sup>] -  $1 \times 10^{20}$  [/cm<sup>2</sup>] in general, and can acquire the same operation and effect as the above and abbreviation under this condition. It is more desirable,  $3 \times 10^{15}$  to  $1 \times 10^{17}$  [/cm<sup>2</sup>] grade is at best still more desirable, and the dose of a hydrogen ion has  $8 \times 10^{15}$  - good  $2 \times 10^{16}$  [/cm<sup>2</sup>] grade. If a dose is chosen as a suitable amount, it is also possible to separate the thin film section and the principal part of a ground substrate in crystal-growth process.

[0033] Moreover, if this value is too small, it will become difficult to make the thin film section separate from a ground substrate certainly. moreover -- if this value is too large -- the damage to the thin film section -- large -- becoming -- a ground substrate to the thin film section -- abbreviation -- it becomes difficult to make it separate into the configuration finely connected by uniform thickness

[0034] Moreover, it is also possible to control the thickness of the thin film section separated from a ground substrate by making incidence energy adjustable. The measurement result of the depth (depth [ of the maximum density ] h) in which the ion to the pouring energy of ion is poured into drawing 3 is illustrated. For example, the depth (depth [ of the maximum density ] h) in which ion is poured into this appearance can control the thickness of the thin film section suitably by adjusting incidence energy (acceleration voltage) to the pouring energy of ion, since it carries out proportionally [ abbreviation ].

[0035] Moreover, while forming the partial fracture section (void) in an ion-implantation layer beforehand by heat-treating before the crystal-growth start after an ion implantation, the crystallinity of the ion-implantation section of a ground substrate which received the damage by ion irradiation can be recovered. Moreover, thereby, the crystallinity of the semiconductor which grows on it can be raised.

[0036] Moreover, the thickness of the thin film section has desirable 20 micrometers or less. The tensile stress to the target semiconducting crystal is eased, and the generating density of transposition or a crack decreases, so that this thickness is thin. Therefore, it is more desirable, 2 micrometers or less are at best still more desirable, and the thickness of the thin film section has good 200nm or less. What is necessary is just to adjust the pouring energy (acceleration voltage) of ion according to above-mentioned drawing 3 etc. so that the peak of the number of pouring ion may become the depth of this level in order to realize these values. However, if an ion-implantation layer becomes thick, since it will be hard coming to control the thickness of the thin film section, ion-implantation layer thickness etc. takes cautions.

[0037] Although ion-implantation layer thickness cannot be defined strictly, the half-value width to the peak value of the number of pouring ion of drawing 2 etc. may become one standard, for example. It becomes easy to control the thickness of the above-mentioned thin film section, so that this ion-implantation layer thickness is made thin. Therefore, meanses, such as maintaining the pouring energy (acceleration voltage) of ion at constant value as much as possible, become effective, when controlling the thickness of the thin film section correctly.

[0038] Moreover, as for the thickness of a semiconducting crystal to carry out a crystal growth, relatively, it is desirable to carry out to more than abbreviation equivalent with the thickness of the thin film section. the stress to a desired semiconducting crystal eases by such setup -- having -- being easy -- it becomes possible to suppress generating of transposition or a crack more sharply than before This stress Moreover, this stress

[0039] In addition, this invention does not have a special limit in the kind (quality of the material) of semiconducting crystal of a ground substrate or the purpose, and can be applied to hetero-epitaxial growth of well-known or arbitrary kinds including the arbitrary combination of the above-mentioned ground substrate and each material of a semiconducting crystal.

[Translation done.]

---



)



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The typical cross section of the semiconductor concerning the example of this invention.

[Drawing 2] The graph which illustrates the number of pouring ion to the depth into which ion is poured (density).

[Drawing 3] The graph which illustrates the depth (depth [ of the maximum density ] h) into which the ion to the pouring energy of ion is poured.

[Drawing 4] The typical cross section which illustrates the crystal-growth state of the conventional semiconducting crystal.

[Description of Notations]

10 --- Ground Substrate

11 --- Thin Film Section Separated from Ground Substrate

20 --- Buffer Layer

30 --- The Target Semiconducting Crystal

---

[Translation done.]

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
C 3 0 B 25/18		C 3 0 B 25/18	4 G 0 7 7
29/38		29/38	D 5 F 0 4 5
H 0 1 L 21/205		H 0 1 L 21/205	

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願2001-36568 (P2001-36568)

(22) 出願日 平成13年2月14日 (2001.2.14)

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1番地

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番地の1

(72) 発明者 永井 誠二

愛知県西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内

(74) 代理人 100087723

弁理士 藤谷 修

最終頁に続く

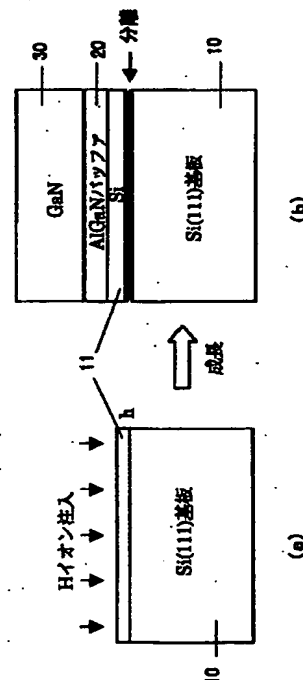
(54) 【発明の名称】 半導体の結晶成長方法

(57) 【要約】

【課題】 クラックが無く転位の密度が低い高品質の半導体結晶を得る。

【解決手段】 Si(111)基板(下地基板)10に、略常温で水素イオン(H<sup>+</sup>)を $1 \times 10^{16}/\text{cm}^2$ のドーズ量で、加速電圧10keVのエネルギーで注入する。これにより、イオン注入面から $h \approx 100\text{nm}$ 前後の深さの一带に、イオン濃度が局所的に高いイオン注入層が形成される。上記のSi基板10のイオン注入面上に、AlGaInより成るバッファ層20を約300nm成長し、更にその上に、目的の半導体結晶である窒化ガリウム

(GaIn)層30を約200 $\mu\text{m}$ 成長する。この結晶成長過程において、上記のSi基板10は、イオン注入層を境に徐々に破断し、最終的には膜厚約100nmの薄膜部11とSi基板10の主要部とに分離される。以上の半導体結晶の製造方法により、従来よりも結晶性に優れた、クラックのない窒化ガリウムの単結晶を得ることができる。



## 【特許請求の範囲】

【請求項1】 下地基板上に前記下地基板とは相異なる半導体物質を結晶成長させる、半導体の結晶成長方法であって、

前記結晶成長を開始する前に、前記下地基板の結晶成長面よりイオンを注入することを特徴とする半導体の結晶成長方法。

【請求項2】 前記結晶成長後、前記下地基板を昇温又は降温することにより、前記下地基板の一部又は全部を破断させることを特徴とする請求項1に記載の半導体の結晶成長方法。

【請求項3】 前記結晶成長面から20 $\mu$ m以内の深さに、前記イオンを注入することを特徴とする請求項1または請求項2に記載の半導体の結晶成長方法。

【請求項4】 前記イオンが、水素イオン(H<sup>+</sup>)、又は、ヘリウムイオン(He<sup>+</sup>)であることを特徴とする請求項1乃至請求項3の何れか1項に記載の半導体の結晶成長方法。

【請求項5】 前記イオンの前記結晶成長面に対する単位面積当りの注入量を $1 \times 10^{15}$  [ /cm<sup>2</sup> ] 以上、 $1 \times 10^{20}$  [ /cm<sup>2</sup> ] 以下としたことを特徴とする請求項1乃至請求項4の何れか1項に記載の半導体の結晶成長方法。

【請求項6】 前記下地基板をシリコン(Si)、サファイア(Al<sub>2</sub>O<sub>3</sub>)、炭化シリコン(SiC)、砒化ガリウム(GaAs)、酸化亜鉛(ZnO)、酸化ガリウムネオジム(NdGaO<sub>3</sub>)、酸化ガリウムリチウム(LiGaO<sub>2</sub>)又は、酸化アルミニウムマグネシウム(MgAl<sub>2</sub>O<sub>4</sub>)としたことを特徴とする請求項1乃至請求項5の何れか1項に記載の半導体の結晶成長方法。

【請求項7】 前記半導体物質をIII族窒化物系化合物半導体としたことを特徴とする請求項1乃至請求項6の何れか1項に記載の半導体の結晶成長方法。

【請求項8】 前記イオンの注入後、前記結晶成長の開始前に、前記下地基板の前記結晶成長面を熱処理することを特徴とする請求項1乃至請求項7の何れか1項に記載の半導体の結晶成長方法。

【請求項9】 請求項1乃至請求項8の何れか1項に記載の製造方法を用いて製造された前記半導体結晶を少なくとも結晶成長基板として有することを特徴とする半導体発光素子。

【請求項10】 請求項1乃至請求項8の何れか1項に記載の製造方法を用いて製造された前記半導体結晶を少なくとも結晶成長基板として利用した結晶成長により製造されたことを特徴とする半導体発光素子。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下地基板上にその下地基板とは相異なる半導体物質を結晶成長させて半導体結晶を得る「半導体の結晶成長方法」に関する。

【0002】

【従来の技術】図4に例示する様に、シリコン基板上に窒化ガリウム(GaN)を結晶成長させ、その後常温まで冷却すると、GaN成長層に転位やクラックが多数入ることが一般に知られている。この様に、成長層に転位やクラックが多数入ると、その上にデバイスを作製した場合に、デバイス中に格子欠陥や転位、変形、クラック等が多数生じる結果となり、デバイス特性の劣化を引き起こす原因となる。また、シリコン(Si)基板を除去し、成長層のみを残して、独立した基板を得ようとする場合、上記の転位やクラック等の作用により、大面積(1cm<sup>2</sup>以上)のものが得られ難い。

【0003】そこで、従来より、例えばこの様な所謂ヘテロエピタキシャル成長によって良質の半導体結晶を得る手段としては、次の様な施策が取られてきた。

(従来手段1) 低温堆積緩衝層を基板上に成膜する。例えばAlGaIn、AlN、GaN、或いは、AlGaInN等のIII族窒化物半導体を低温で堆積させて、格子定数差に基づく内部応力を緩和する所謂バッファ層を成膜する方法である。

【0004】(従来手段2) 目的とする半導体結晶に格子定数が近い材料を結晶成長基板の材料として選択する。例えば、単結晶の窒化ガリウム(GaN)を目的の半導体結晶とする場合等には、炭化シリコン(SiC)を結晶成長基板の材料として選択する。

【0005】

【発明が解決しようとする課題】

【0006】しかしながら、バッファ層を用いても、目的の半導体結晶と基板との間に生じる応力は十分には緩和できない。即ち、上記の様なバッファ層は応力の一部しか緩和できず、例えば、サファイアや基板上に窒化ガリウム(GaN)を結晶成長させる際等には、GaN低温堆積緩衝層を用いたとしても、かなりの数の欠陥が目的の半導体結晶(窒化ガリウム層)に発生する。

【0007】また、目的の半導体結晶に近い格子定数を有する基板を用いる場合、格子定数差に起因する応力を緩和することはできても、熱膨張係数差に基づく応力を緩和することは難しく、結晶成長後の降温時等にかかなりの数の欠陥が目的の半導体結晶(窒化ガリウム層)に発生することになる。また、クラックも発生し、自立した大面積の半導体結晶が得られ難い。

【0008】本発明は、上記の課題を解決するために成されたものであり、その目的は、クラックが無く、転位の密度が低い高品質の半導体結晶を得ることである。

【0009】

【課題を解決するための手段】上記の課題を解決するためには、以下の手段が有効である。即ち、第1の手段

は、下地基板上にその下地基板とは相異なる半導体物質を結晶成長させる半導体の結晶成長手順において、結晶成長を開始する前に下地基板の結晶成長面よりイオンを注入することである。

【0010】また、第2の手段は、上記の第1の手段において、上記の結晶成長後に下地基板を昇温又は降温することにより下地基板の一部又は全部を破断させることである。

【0011】また、第3の手段は、上記の第1又は第2の手段において、結晶成長面から $20\mu\text{m}$ 以内の深さにイオンを注入することである。

【0012】また、第4の手段は、上記の第1乃至第3の何れか1つの手段において、注入するイオンとして、水素イオン( $\text{H}^+$ )、又はヘリウムイオン( $\text{He}^+$ )を用いることである。

【0013】また、第5の手段は、上記の第1乃至第4の何れか1つの手段において、イオンの結晶成長面に対する単位面積当りの注入量を「 $1 \times 10^{15}$  [ $/\text{cm}^2$ ] ~  $1 \times 10^{20}$  [ $/\text{cm}^2$  ]」にすることである。

【0014】また、第6の手段は、上記の第1乃至第5の何れか1つの手段において、上記の下地基板の材料として、シリコン( $\text{Si}$ )、サファイア( $\text{Al}_2\text{O}_3$ )、炭化シリコン( $\text{SiC}$ )、砷化ガリウム( $\text{GaAs}$ )、酸化亜鉛( $\text{ZnO}$ )、酸化ガリウムネオジム( $\text{NdGaO}_3$ )、酸化ガリウムリチウム( $\text{LiGaO}_2$ )又は、酸化アルミニウムマグネシウム( $\text{MgAl}_2\text{O}_4$ )を選択することである。

【0015】また、第7の手段は、上記の第1乃至第6の何れか1つの手段において、上記の半導体物質をIII族窒化物系化合物半導体とすることである。

【0016】ただし、ここで言う「III族窒化物系化合物半導体」一般には、2元、3元、又は4元の「 $\text{Al}_x\text{Ga}_y\text{In}_{(1-x-y)}\text{N}$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )」成る一般式で表される任意の混晶比の半導体が含まれ、更に、これらの組成比 $x$ ,  $y$ 等を殆ど左右しない程度の微量若しくは少量のp型或いはn型の不純物が添加された半導体も、本明細書の「III族窒化物系化合物半導体」の範疇とする。従って、例えば2元系や或いは3元系の「III族窒化物系化合物半導体」の場合、 $\text{AlN}$ 、 $\text{GaN}$ 、 $\text{InN}$ や、或いは、任意又は適当な混晶比の $\text{AlGaInN}$ 、 $\text{AlInN}$ 、 $\text{GaInN}$ 等と言うまでもなく、これらの各種半導体の組成比を殆ど左右しない程度の微量若しくは少量のp型或いはn型の不純物が添加された半導体も、本明細書の「III族窒化物系化合物半導体」に含まれる。

【0017】また、更に、上記のIII族元素( $\text{Al}$ ,  $\text{Ga}$ ,  $\text{In}$ )の内の一部をボロン( $\text{B}$ )やタリウム( $\text{Tl}$ )等で置換したり、或いは、窒素( $\text{N}$ )の一部をリン( $\text{P}$ )や砷素( $\text{As}$ )、アンチモン( $\text{Sb}$ )、ビスマス( $\text{Bi}$ )等で置換したりした半導体等もまた、本明細書

の「III族窒化物系化合物半導体」の範疇とする。また、上記のp型の不純物としては、例えば、マグネシウム( $\text{Mg}$ )や、或いはカルシウム( $\text{Ca}$ )等を添加することができる。また、上記のn型の不純物としては、例えば、シリコン( $\text{Si}$ )や、硫黄( $\text{S}$ )、セレン( $\text{Se}$ )、テルル( $\text{Te}$ )、或いはゲルマニウム( $\text{Ge}$ )等を添加することができる。また、これらの不純物は、同時に2元素以上を添加しても良いし、同時に両型(p型とn型)を添加しても良い。

【0018】また、第8の手段は、上記の第1乃至第7の何れか1つの手段において、イオンの注入後、結晶成長の開始前に、下地基板を熱処理することである。

【0019】また、第9の手段は、半導体発光素子において、上記の第1乃至第8の何れか1つの手段によって製造された半導体結晶を少なくとも結晶成長基板として備えることである。

【0020】また、第10の手段は、上記の第1乃至第8の何れか1つの手段によって製造された半導体結晶を少なくとも結晶成長基板として利用した結晶成長により、目的の半導体発光素子を製造することである。以上の手段により、前記の課題を解決することができる。

【0021】

【作用及び発明の効果】イオンが注入される下地基板の表面(イオン注入面)の全面に渡って、イオンの加速電圧を同一レベルとし、その加速電圧を一定時間保てば、イオンが注入される下地基板の表面(イオン注入面)からの深さも略一定に維持される。即ち、この様なイオン注入によれば、イオン密度が最も高くなる深さ(最大密度の深さ $h$ )は上記の加速電圧に略比例し、このイオン注入面の全面にわたって略一様となる。以下、「最大密度の深さ $h$ 」近傍の、イオン密度が局所的に高くなっている層を「イオン注入層」と言う。また、下地基板中に注入されたイオンは、例えば昇温過程において膨張したり気化したりする等の、主に物理的な状態変化を起こす。そして、これらの状態変化は、下地基板の熱膨張等の状態変化よりも格段に大きな状態変化として発現する。

【0022】このため、イオン注入した上記の下地基板を結晶成長基板として用いた場合、結晶成長温度や昇降温過程等において、上記のイオン注入層を境に下地基板の部分的な破断が起きる。これらの下地基板は、最終的にはイオン注入面側の薄膜部と元来の主要部とに分離する。したがって、この薄膜部に成長した目的の半導体結晶には、基板(薄膜部)が非常に薄く部分的に分離されているために、格子定数差に基づく応力が殆ど作用しない。このため、目的の半導体結晶は、従来よりも結晶性に優れた良好なものとなる。

【0023】更に、結晶成長後の降温過程においても、基板(薄膜部)が非常に薄く部分的に分離されているために、この薄膜部に成長した目的の半導体結晶と下地

基板との熱膨張係数差に基づく応力により、降温過程の比較的初期に、イオン注入層を境にイオン注入面側の薄膜部と元来の主要部とに分離する。このため、それ以降、薄膜部とこの薄膜部上に成長した目的の半導体結晶には、熱膨張係数差に基づく応力が殆ど作用しない。これらの作用により、本発明の手段を用いれば、クラックが無く、転位の密度が低い高品質の半導体結晶を得ることができる。

【0024】尚、注入するイオンの深さ（最大密度の深さ $h$ ）は、目的の半導体結晶の厚さよりも薄い方が望ましく、一般的な絶対的目安としては、 $20\mu\text{m}$ 以内が望ましい。この厚さが厚過ぎると、上記の応力が十分には緩和されない。

【0025】また、上記の下地基板の材料としては、公知の結晶成長基板の材料が有効であり、例えば、シリコン（Si）、サファイア（ $\text{Al}_2\text{O}_3$ ）、炭化シリコン（SiC）、砒化ガリウム（GaAs）、酸化亜鉛（ZnO）、酸化ガリウムネオジム（ $\text{NdGaO}_3$ ）、酸化ガリウムリチウム（ $\text{LiGaO}_2$ ）又は、酸化アルミニウムマグネシウム（ $\text{MgAl}_2\text{O}_4$ ）等を結晶成長基板（上記の下地基板）として用いた結晶成長に関して、上記の作用・効果を得ることができる。

【0026】

【発明の実施の形態】以下、本発明を具体的な実施例に基づいて説明する。ただし、本発明は以下に示す実施例に限定されるものではない。

（1）イオン注入基板（下地基板）の作製

Si(111)基板（下地基板）に、略常温で水素イオン（ $\text{H}^+$ ）を $1 \times 10^{16}/\text{cm}^2$ のドーズ量で、加速電圧 $10\text{keV}$ のエネルギーで注入する（図1（a））。

【0027】図2は、この時のイオンが注入される深さに対する注入イオン数（密度）を例示したグラフである。本図2からも判る様に、このイオン注入により、表面（イオン注入面）からの深さが $100\text{nm}$ 前後の所に、イオン密度が局所的に高いイオン注入層が形成される。

【0028】（2）GaN/Si結晶成長

その後、有機金属化合物気相成長法（MOVPE法）にて、以下の結晶成長を実施する。即ち、まず、上記のSi基板（下地基板）10のイオン注入面上に、約 $1100^\circ\text{C}$ でAlGaInより成るバッファ層20を約 $300\text{nm}$ 成長し、更にその上に、 $1050^\circ\text{C}$ で目的の半導体結晶である窒化ガリウム（GaN）層30を約 $200\mu\text{m}$ 成長する（図1（b））。この結晶成長前の昇温過程において、上記のSi基板10は、その表面（イオン注入面）から $h=100\text{nm}$ 前後に位置する上記のイオン注入層を境に部分的に破断し、最終的には、成長後の降温過程において膜厚約 $100\text{nm}$ の薄膜部11とSi基板10の主要部とに分離される。

【0029】以上の半導体結晶の製造方法により、従来

よりも結晶性に優れた、クラックのない窒化ガリウム（GaN）の単結晶を得ることができる。従って、この様な良質の単結晶を、例えば結晶成長基板等の半導体発光素子の一部として用いれば、発光効率が高いか、或いは駆動電圧が従来よりも抑制された、高品質の半導体発光素子や半導体受光素子等の半導体製品を製造することが可能又は容易となる。また、この様な良質の単結晶を用いれば、光素子のみならず、耐圧性の高い半導体パワー素子や高い周波数まで動作する半導体高周波素子等の所謂半導体電子素子の製造も、可能又は容易にすることができる。

【0030】以下、上記の実施例とは独立に、本発明の実施形態の変形可能な範囲に付いて例示する。ただし、これらの変形は、上記の実施例に対してもそれぞれ適用可能なものである。

【0031】例えば、上記の実施例においては、有機金属化合物気相成長法（MOVPE法）を用いたが、本発明の結晶成長は、ハイドライド気相成長法（HVPE法）等によっても実施可能である。また、水素イオン（ $\text{H}^+$ ）の代わりに（ $\text{He}^+$ ）を用いても、上記の実施例と略同様の作用・効果を得ることができる。

【0032】また、水素イオンのドーズ量は、下地基板の材質等にも依存するが、概ね $1 \times 10^{15} [/\text{cm}^2]$ ～ $1 \times 10^{20} [/\text{cm}^2]$ の範囲において有効で、この条件下において上記と略同様の作用・効果を得ることができる。より望ましくは、水素イオンのドーズ量は、 $3 \times 10^{15} \sim 1 \times 10^{17} [/\text{cm}^2]$ 程度が良く、更に望ましくは、 $8 \times 10^{15} \sim 2 \times 10^{16} [/\text{cm}^2]$ 程度が良い。ドーズ量を適当な量に選べば、下地基板の薄膜部と主要部とを、結晶成長過程において分離することも可能である。

【0033】また、この値が小さ過ぎると、下地基板から薄膜部を確実に分離させることが困難となる。また、この値が大き過ぎると、薄膜部へのダメージが大きくなり、下地基板から薄膜部を略一様な厚さで綺麗につながった形状に分離させることが困難となる。

【0034】また、入射エネルギーを可変として、下地基板から分離する薄膜部の厚さを制御することも可能である。図3に、イオンの注入エネルギーに対するイオンが注入される深さ（最大密度の深さ $h$ ）の測定結果を例示する。例えば、この様に、イオンが注入される深さ（最大密度の深さ $h$ ）は、イオンの注入エネルギーに略比例するので、入射エネルギー（加速電圧）を調整することにより、薄膜部の厚さを適当に制御することができる。

【0035】また、イオン注入後の結晶成長開始前に熱処理を行うことにより、予めイオン注入層における部分的な破断部（ボイド）を形成すると同時に、イオン照射によってダメージを受けた下地基板のイオン注入部の結晶性を回復させることができる。また、これにより、そ

の上に成長する半導体の結晶性を向上させることができる。

【0036】また、薄膜部の厚さは、 $20\mu\text{m}$ 以下が望ましい。この厚さが薄い程、目的の半導体結晶に対する引っ張り応力が緩和されて、転位やクラックの発生密度が減少する。従って、より望ましくは、薄膜部の厚さは $2\mu\text{m}$ 以下が良く、更に望ましくは $200\text{nm}$ 以下が良い。これらの値を実現するためには、前述の図3などに従って、注入イオン数のピークがこの程度の深さになる様にイオンの注入エネルギー（加速電圧）を調整すれば良い。ただし、イオン注入層が厚くなってしまうと、薄膜部の厚さを制御し難くなるため、イオン注入層の厚さ等にも注意を要する。

【0037】イオン注入層の厚さは、厳密には定義できないが、例えば図2の注入イオン数のピーク値に対する半値幅等が1つの目安になり得る。上記の薄膜部の厚さは、このイオン注入層の厚さを薄くする程制御し易くなる。従って、イオンの注入エネルギー（加速電圧）を極力一定値に保つ等の手段が、薄膜部の厚さを正確に制御する上で有効となる。

【0038】また、相対的には、結晶成長させる目的の半導体結晶の厚さは、薄膜部の厚さと略同等以上とすることが望ましい。この様な設定により、所望の半導体結晶に対する応力が緩和され易くなり、転位やクラックの

発生を従来よりも大幅に抑制することが可能となる。この応力緩和効果は、目的の半導体結晶を相対的に厚くする程大きくなる。また、この応力緩和効果は、薄膜部の厚さ等にも依存するが、薄膜部の厚さが $20\mu\text{m}$ 以下の場合には、約 $50\sim 200\mu\text{m}$ 程度で略飽和する。

【0039】尚、本発明は、下地基板や目的の半導体結晶の種類（材質）に特段の制限が無く、前述の下地基板及び半導体結晶の各材料同士の任意の組み合わせを含め、公知或いは任意の種類のヘテロエピタキシャル成長に適用することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係わる半導体の模式的な断面図。

【図2】イオンが注入される深さに対する注入イオン数（密度）を例示するグラフ。

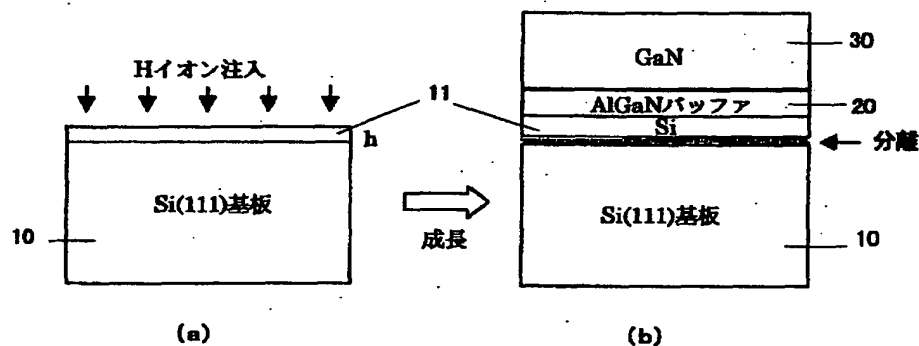
【図3】イオンの注入エネルギーに対するイオンが注入される深さ（最大密度の深さ $h$ ）を例示するグラフ。

【図4】従来の半導体結晶の結晶成長状態を例示する模式的な断面図。

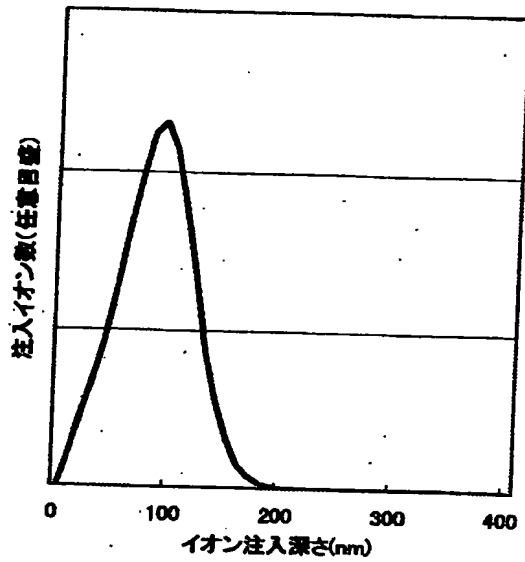
【符号の説明】

- 10 … 下地基板
- 11 … 下地基板より分離する薄膜部
- 20 … バッファ層
- 30 … 目的の半導体結晶

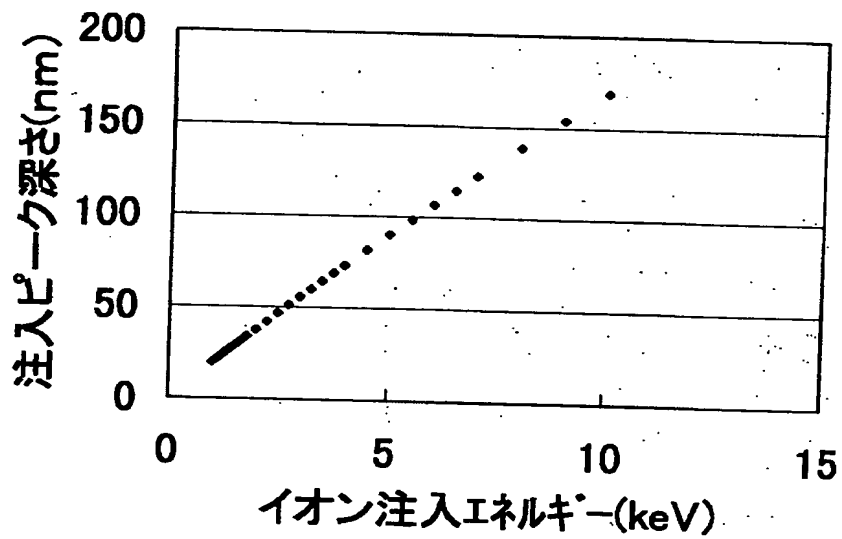
【図1】



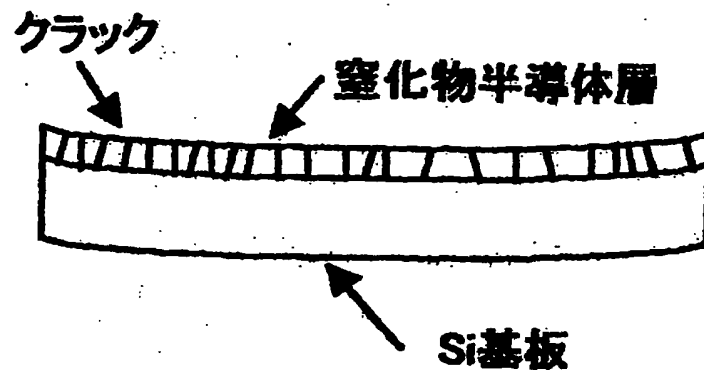
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 富田 一義  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内  
(72)発明者 色川 芳宏  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内

(72)発明者 加地 徹  
愛知県愛知郡長久手町大字長湫字横道41番  
地の1 株式会社豊田中央研究所内  
Fターム(参考) 4G077 AA03 BE11 BE13 BE15 DB01  
ED06 EE08 TK08  
5F045 AA04 AB14 AB40 AC01 AC02  
AC07 AF03 AF07 BB11 BB12  
BB13 CA09 CA13 HA05 HA06